

전자 회로 2 기말고사

2007 년 12 월 13 일

담당교수: 정덕균

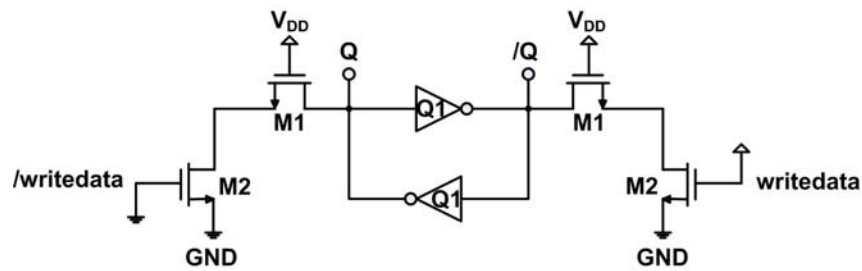
One A4-size double-sided note allowed, 총 5 문제, 100 점 만점, 시험시간 150 분

학번: _____ 이름: _____ 서명 : _____

| Problem | Max. Score | Score |
|----------------|-------------------|--------------|
| 1 | 20 | |
| 2 | 20 | |
| 3 | 25 | |
| 4 | 20 | |
| 5 | 15 | |
| Total | 100 | |

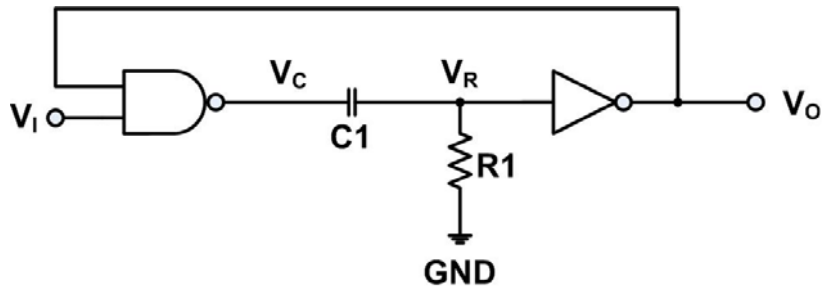
[1] (20 점) 다음은 메모리 셀(cell)로 사용하는 bi-stable 회로이고, 회로를 구성하는 트랜지스터의 크기는 다음 표와 같다. (단, $\frac{\mu_p}{\mu_n} = \frac{1}{2.5}$)

| Transistor Name | W/L |
|-----------------|--|
| M1 | 4 μm / 0.25 μm |
| M2 | X μm / 0.25 μm |
| Q1 의 PMOS | 2.5 μm / 0.25 μm |
| Q1 의 NMOS | 1 μm / 0.25 μm |

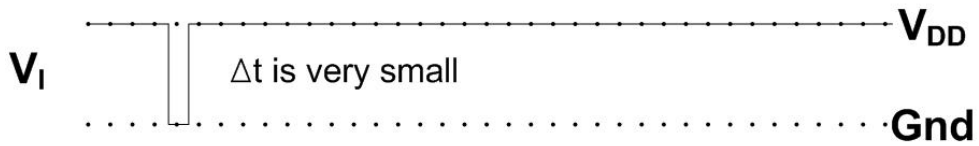


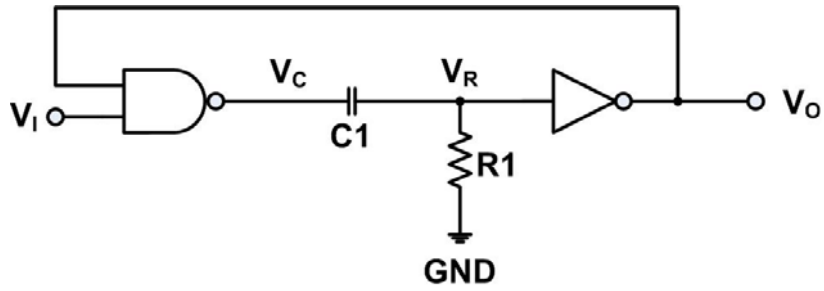
메모리 셀의 Q 에 logic value 0 이 저장되어 있고 /Q 에는 logic value 1 이 저장되어 있는 상태에서 writedata 를 logic value 1 로 /writedata 를 logic value 0 으로 하여 Q 에 저장된 값을 logic value 1 으로 (/Q 는 logic value 0 으로) 반전할 수 있도록 하려면 M2 는 최소 얼마의 폭을 가져야 하는지 구하시오. 단, $V_{th} = \frac{1}{2}V_{DD}$

[2](20 점) 다음은 Monostable Multivibrator 회로이다. 5V의 V_{DD} 에서 동작하고 gate들의 logic threshold는 2.5V이다. GND는 0V로 간주한다. 각 입출단자에는 2개의 diode로 구성된 ESD protection 회로가 연결되어 있다. Diode의 on 전압 $V_D=0.6V$ 로 가정한다.

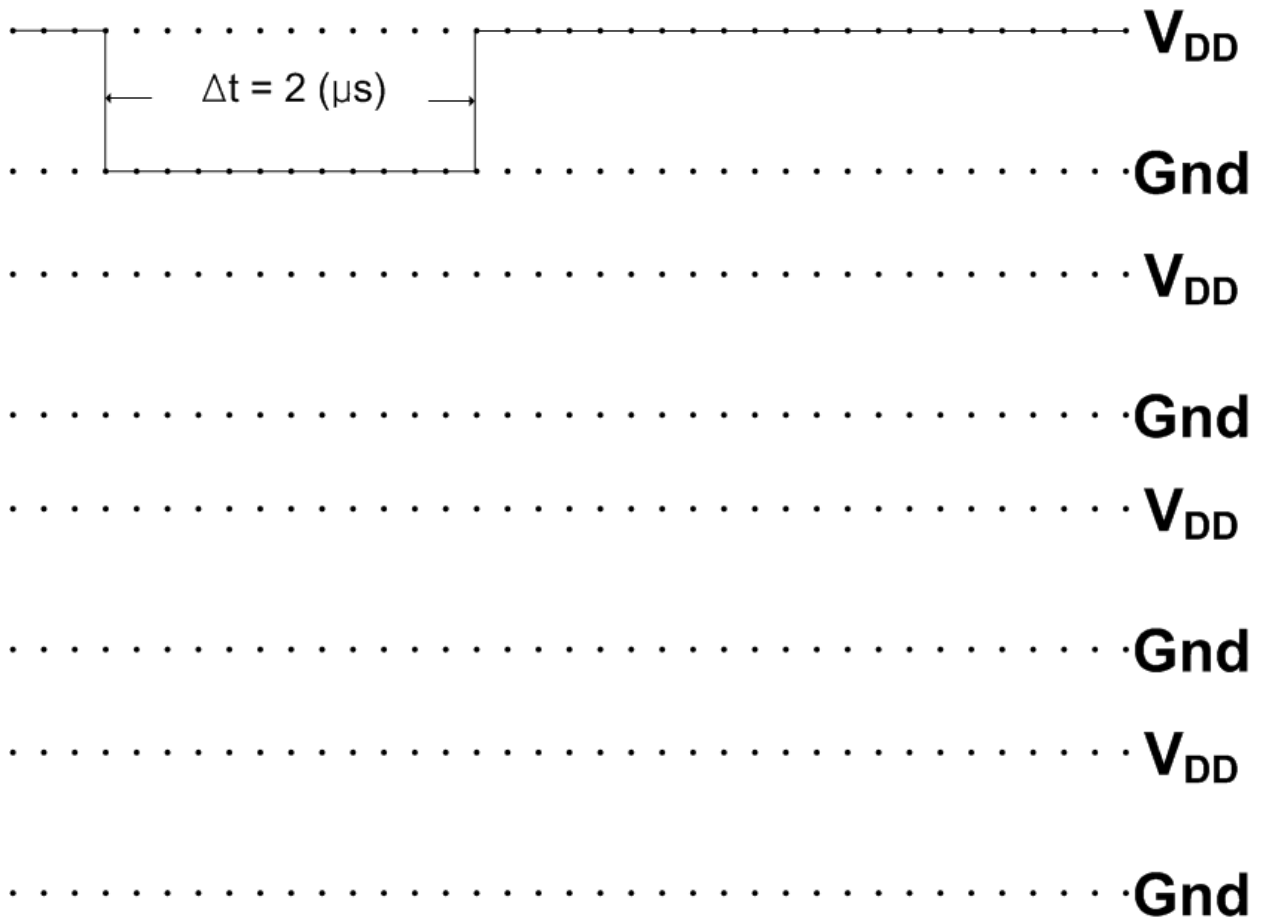


1) $C1 = 1\text{ nF}$ 이고 게이트의 출력저항 $R_{on} = 100\ \Omega$ 임을 가정하고, 다음과 같은 pulse가 인가 되었을 때, V_O 에 나타나는 pulse의 폭이 $1\ \mu\text{s}$ 이 되도록 $R1$ 값을 구하시오.

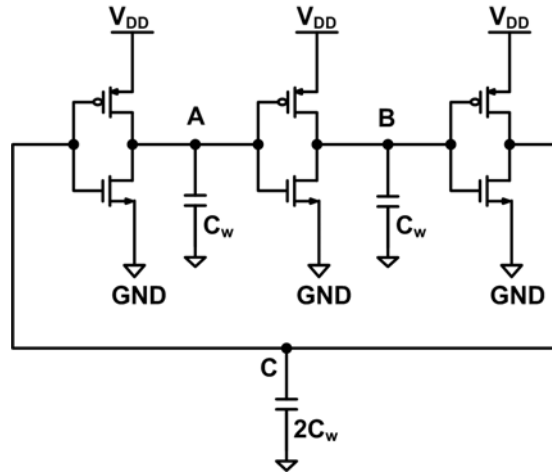




2) 1)번의 회로에서 정한 R_1, C_1 값을 가정하고, 다음과 같은 pulse 가 인가 되었을 때, V_C, V_R, V_o 의 파형을 그리시오.
 (중요한 값을 파형 위에 함께 표시하거나 답안지에 명시하시오.)



[3] (25 점) 다음 CMOS 회로를 보고 물음에 답하시오.



모든 PMOS의 body는 V_{DD} 노드에, NMOS의 body는 GND 노드에 연결되어 있으며, $V_{DD}=2.5\text{ V}$, $GND=0\text{ V}$ 이다. 회로의 파라미터들은 다음과 같다.

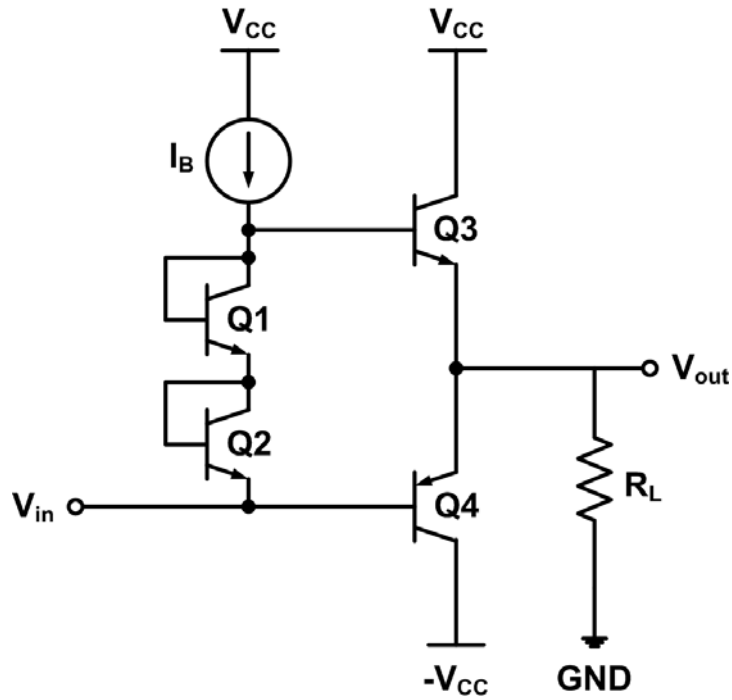
| 파라미터 이름 | 설명 | 값 |
|---------------------|--|---|
| C_{ox} | MOS의 oxide capacitance | $0.6\ \mu\text{F}/\text{cm}^2$ |
| $C_{gsov}=C_{gdov}$ | MOS의 gate-source(or drain) overlap capacitance | $0.25\ \text{fF}/\mu\text{m} \times W$ |
| C_{gd} | MOS의 gate-drain capacitance | $0.25\ \text{fF}/\mu\text{m} \times W$ |
| C_{db} | MOS의 drain-body(bulk) capacitance | $0.5\ \text{fF}/\mu\text{m} \times W$ |
| k_n', k_p' | $k_n' = \mu_n C_{ox}$ $k_p' = \mu_p C_{ox}$ | $k_n' = 120\ \mu\text{A}/\text{V}^2$ $k_p' = 30\ \mu\text{A}/\text{V}^2$ |
| C_w | Wire capacitance | 10 fF |
| L | MOS의 channel length | 0.25 μm |
| W | MOS의 channel width | Design Parameter |
| V_t | MOS의 threshold voltage | 0.5V |

1) CMOS inverter의 $W_n = 1\ \mu\text{m}$, $W_p = 4\ \mu\text{m}$ 일 때, A, B, C 노드에 달린 총 capacitance를 각각 구하고 t_{PLH} , t_{PHL} 를 각각 구하시오.

2) 1)에서 디자인한 ring oscillator 의 발진 주파수를 구하시오. 만약 C 노드에만 100 fF 의 capacitance 가 추가로 더 붙는다면, 발진 주파수는 대략 얼마가 되겠는가?

3) V_{DD} 전압의 크기를 2.5 V 에서 2.75 V 로 10% 증가시켰을 때, oscillator 의 발진 주파수는 몇 %변하는가?

[4] (20 점) 다음과 같은 출력 stage 를 가진 amplifier 가 있다. 단 output transistor Q3, Q4 는 $V_{BE}=0.7V$ 에서 $I_C=1mA$ 인 특성을 가지며, Q1, Q2 의 saturation current(I_S)는 Q3, Q4 의 1/10 이다. $R_L=8\Omega$. $\beta=\infty$.



1) 출력 $V_{out}=0V$ 일때, bias 전류 $I_Q=1mA$ 가 되도록 I_B 값을 정하시오.

2) 정현파가 입력으로 들어올 때 R_L 에서 소모하는 최대 평균 전력이 100W 가 되도록 V_{CC} 값을 정하고 그 때의 입력 정현파 V_{in} 의 최대 진폭을 구하시오. (단, $V_{BEon}=0.7V$, $V_{CESAT}=0.2V$)

3) 정현파가 입력으로 들어오고 R_L 에서 소모하는 평균 전력이 10W 일 때의 효율(Power-Conversion Efficiency)을 구하고 Q3, Q4 에서 소모하는 power 를 각각 구하시오.(2)번에서 구한 V_{CC} 값을 사용할 것.

4) Q3, Q4 의 온도가 Q1, Q2 에 비하여 30 도 상승하였다면 1)의 조건하에서 I_Q 는 어떻게 변하는가?

[5] (15 점) 아래 그림과 같은 Astable Multivibrator 회로의 발진 주파수를 구하고, 시간에 따른 v_o , v_+ , v_- 의 발진 파형을 그리시오. OP-MP 출력의 최대 진폭은 $V_+ = 12\text{ V}$, $V_- = -12\text{ V}$ 임을 가정하시오. ($R_1 = 1\text{ k}\Omega$, $R_2 = 10\text{ k}\Omega$, $R_3 = 1\text{ k}\Omega$, $L = 1\text{ mH}$)

