

2010. 5. 15

디지털 시스템 설계 및 실험  
중간고사 2

출제: 채수익

1. (a) nonrestoring division의 나머지 diagram (Robertson diagram)을 그리고 division 알고리즘을 자세히 설명하시오. (10점)  
(b) 이 경우 얻은 몫이 signed digit를 2's complement number로 바꾸는 알고리즘을 기술하시오. (10점)
2. (1) IEEE 표준 754 single precision에 대해서 설명하시오. (4점)  
(2) 이 경우 가감산을 하는 block diagram을 그리시오. (4점)  
(3) 위 각 block의 기능을 자세히 설명하시오. (4점)  
(4) 이 floating point 가감산을 빠르게 하는 아이디어들을 기술하시오. (8점)
3. (1) floating point representation의 ARRE (average relative representation error)를 exponent의 base를  $b$ 와 ulp로 표현하는 식을 구하시오. 우선, MRRE (maximum relative representation error)를 구한 후에, mantissa의 pdf를 이용하여 ARRE를 구하시오. (10점)  
(2) 이 식을 이용하여 IEEE 754 single precision의 ARRE 값을 구하시오. (5점)
4. (1) 16-bit conditional sum adder를 full adder와 1-bit 2-to-1 mux로 구현하고 사용된 full adder의 개수와 mux의 개수를 세시오. (5점)  
(2) full adder와 mux module을 정의한 후에 16-bit conditional sum adder의 Verilog code를 기술하시오. (10점)
5. fundamental carry operator (Brent-Kung operator) 가 associative, commutative, idempotent하다는 것을 proof 또는 disproof하시오. (15점)
6.  $n$ -bit인 두 수를 곱하는 경우 bit 위치에 따라서 생기는 1-bit짜리 partial product의 개수가 다르다. 이 경우 최대  $n$ 개의 partial product가 생기게 된다. 여기서,  $n$ 은 2의 power로 표현되는 4이상의 정수로 제한하시오.
  - (1) 이 경우 accumulation을 위하여 (3,2) counter를 사용했을 때, operand의 수가 2개가 될 때까지 몇 level이 필요한가? (5점)
  - (2) 이 경우 accumulation을 위하여 (4,2) compressor를 사용했을 때, operand의 수가 2개가 될 때까지 몇 level이 필요한가? (5점)
  - (3) 한 (3,2) counter의 delay가  $2D$ 이고, 한 (4,2) compressor의 delay가  $3D$ 라고 가정했을 때, (3,2) counter를 사용한 곱셈기와 (4,2) compressor를 사용한 곱셈기가 각각 더 빠른  $n$ 의 영역을 구하시오. (5점)

7. (1)  $n$ -bit Operand의  $k$  개인 경우, 각각을 carry save adder 방식으로 operand의 개수를 2개로 줄이는 가장 경제적인 방법인 Wallace tree를 사용할 때 필요한 level수를 수식으로 표현하시오. (5점)
- (2) operand 수  $k$ 가 3과 64와 그 사이 값들일 때, 필요한 level 수를 각각에 대한 범위로 나누어보시오. (5점)
8. (1)  $n$ -bit 2's complement number인 multiplicand  $A$ , multiplier  $X$ 의 곱을 계산하는 sequential multiplier를 구현 알고리즘을 기술하시오. (5점)
- (2)  $n$ -bit adder module을 정의한 후에 sequential multiplier에 상응하는 Verilog code를 기술하시오. (10점)
9. (1) Prefix tree adder taxonomy에서 3차원 좌표  $(l, f, t)$ 에서,  $l, f, t$ 의 의미를 간단히 설명하시오. (6점).
- (2) tree adder taxonomy에서 3차원 좌표  $(l, f, t)$ 가  $(0,3,0)$ 인 16bit Sklansky adder의 parallel prefix graph를 그리시오. 이 경우 각 bit 위치에서  $p, g$  generator는 원, fundamental carry operator는 사각형, sum generator는 세모로 그리시오. (5점). 가능하다면, black 사각형과 gray 사각형을 구분하시오. (2점)
- (3) 이 경우 worst case delay 구하시오. 단,  $p, g$  generator의 delay는  $1D$ , fundamental carry operator의 delay는  $1D$ , sum generator의 delay는  $2D$ 라 가정하시오.(5점)
- (4) 필요한 module들을 정의한 후에 16-bit Sklansky adder의 Verilog code를 기술하시오. (10점)
10. (1) 곱셈기에 사용하는 radix 8 modified Booth's algorithm의 recoding table을 그리시오. (5점)
- (2) 이 modified booth algorithm의 장점을 설명하시오. (5점)
- (3) 두 8-bit unsigned number의 multiplier를 구현하기 위해 full adder, 혹은 half adder를 사용한다고 했을 때, delay는 얼마가 되는지 설명하시오. (10점)